

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-093150

(43)Date of publication of application : 23.04.1988

(51)Int.Cl.

H01L 29/46

H01L 29/78

(21)Application number : 61-237948

(71)Applicant : HITACHI LTD

(22)Date of filing : 08.10.1986

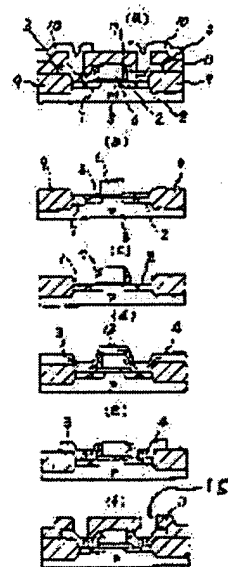
(72)Inventor : MINAMI MASATAKA  
TANBA AKIHIRO  
WAKUI TAKAYUKI  
WATANABE TOKUO  
NAGANO TAKAHIRO

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

**PURPOSE:** To reduce the capacitance and parasitic resistance of a source and a drain, and to improve short channel characteristics by forming source and drain electrodes by single crystal silicon grown in an epitaxial manner at a low temperature and having high impurity concentration.

**CONSTITUTION:** A gate oxide film 5, a gate electrode 6 and source-drain regions 1 and 2 are shaped into a region in a field oxide film 9 formed onto a p-type substrate 8 in succession. A side wall 7 is shaped on the side wall of the gate electrode 6, and polycrystalline silicon 12 is grown in an epitaxial manner at a low temperature onto the gate electrode 6 and single crystal silicon 3 and 4 onto the source-drain regions 1 and 2. Polycrystalline silicon on the gate electrode 6 is etched and the single crystal silicon films 3 and 4 are isolated, a passivation film 11 is formed, and contact holes 15 are shaped.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-93150

⑬ Int.Cl.

H 01 L 29/46  
29/78

識別記号

3 0 1

庁内整理番号

C-7638-5F  
P-8422-5F

⑭ 公開 昭和63年(1988)4月23日

審査請求 未請求 発明の数 2 (全6頁)

⑮ 発明の名称 半導体装置及びその製造方法

⑯ 特 願 昭61-237948

⑰ 出 願 昭61(1986)10月8日

⑱ 発 明 者 南 正 隆 茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
究所内  
⑱ 発 明 者 丹 波 昭 浩 茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
究所内  
⑱ 発 明 者 和 久 井 陽 行 茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
究所内  
⑱ 発 明 者 渡 辺 篤 雄 茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
究所内  
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
⑳ 代 理 人 弁理士 小川 勝男 外2名  
最終頁に続く

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

1. 第1導電型半導体領域内に第2導電型のソース、ドレインを有し、上記ソース、ドレインの上にフィールド酸化膜上の一部にわたって第2導電型の単結晶シリコン膜を有しソース、ドレインと接続させ、上記単結晶シリコン膜と低抵抗材料で形成された配線と接続されていることを特徴とする半導体装置。
2. 上記ソース、ドレインの不純物濃度より、上記単結晶シリコン中の不純物濃度が高いことを特徴とする特許請求の範囲第1項記載の半導体装置。
3. 上記ソース、ドレインを形成している不純物の少なくとも一部が上記単結晶シリコン膜より拡散したものであることを特徴とする特許請求の範囲第1項記載の半導体装置。
4. 第1導電型半導体領域上にゲート酸化膜を設

け、上記ゲート酸化膜上に下層が多結晶シリコン上層が高融点金属のシリサイドの二層より成るゲート電極を形成する工程と、上記ゲート電極をマスクとして自己整合的にイオン打込みにより上記ソース、ドレインを形成する工程と、上記ゲート電極とその側壁に設けられた絶縁層とソース、ドレイン領域及びフィールド絶縁膜を覆うように非晶質シリコン膜を設ける工程と、その後熱処理して、ソース、ドレイン領域上からフィールド絶縁膜上には単結晶シリコン、ゲート電極上からは多結晶シリコンをエピタキシャル成長させる工程と、上記単結晶シリコンを残して多結晶シリコンを上記ゲート電極に対して自己整合的にエッチングして除去し、上記低抵抗材料による配線を形成する工程とを含むことを特徴とする半導体装置の製造方法。

5. 上記ゲート電極を下層より導電性膜、絶縁膜、多結晶シリコンの三層構造としかつ、自己整合的に多結晶シリコンをエッチングする工程において、上記絶縁膜をエッチングのストッパと

することを特徴とする特許請求の範囲第4項記載の半導体装置の製造方法。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

本発明は、半導体装置及びその製造方法に係り、特に半導体素子の微細化、高速化、高性能化、高信頼性化に好適な半導体装置及びその製造方法に関する。

#### 〔従来の技術〕

半導体集積回路のパターン寸法がサブミクロンオーダーまで進展してきた現在、通常用いられるホトリソグラフィのマスク合わせ精度の大きさが半導体素子領域の微細化及び高速化を進める上で障害となつてきている。特に、MOSトランジスタのソース及びドレイン領域は、コンタクト部の形成におけるマスク合わせ精度でその面積が決定されているため、素子の活性領域の微細化が困難であり、高速化がはかれない。

このような問題を解決するために、従来、多結晶シリコンにより、ソース及びドレイン電極をフ

ィールド酸化膜上に引き上げ、その多結晶シリコン上でコンタクトをとる方法が考案されている。このような技術として、アイ・イー・ディー・エム1985第204頁から第207頁(IEDM 1985 pp 204~207)にフィールド酸化膜上でコンタクトをとつたMOSトランジスタについて論じられている。上記従来技術では、まずフィールド酸化膜を形成した後に、全面に気相エビタキシャル法によりシリコンを堆積する。そうすると、基板の単結晶シリコンが露出している部分には単結晶シリコンが成長し、フィールド酸化膜上には多結晶シリコンが成長する。これを利用して単結晶シリコン部にMOSトランジスタを形成して、多結晶シリコン部でコンタクトをとつている。

#### 〔発明が解決しようとする問題点〕

上記従来技術は、ソース及びドレインの面積は小さくなるが、気相エビタキシャル法を用いているため960℃という高温で形成しており、また、ソース及びドレインはエビタキシャル層を形成し

てからイオン打込みにより不純物を打込み熱拡散して形成しているため、接合深さは深くなり、浅接合化には適さない。ゲート長が短くなるにつれ、短チャンネル効果によるMOSトランジスタのしきい電圧の低下が問題になつており、浅接合化による短チャンネル特性の改善が必要である。また、上記従来技術では活性領域は単結晶シリコン、電極引出し部は多結晶シリコンであるため、これらの間に界面が存在するため寄生抵抗が発生し、抵抗が大きくなるという問題があつた。

本発明の目的は、ソース及びドレインの面積を小さくすると同時に、拡散層を浅接合化し、寄生抵抗も小さくすることにより、高性能化・高速化高信頼性化に適した半導体装置及びその製造方法を提供することにある。

#### 〔問題点を解決するための手段〕

上記目的は、ソース及びドレイン領域と接し、かつゲート電極によつて自己整合的に分離され、一部分がフィールド酸化膜を用うような単結晶シリコン膜を設け、この単結晶シリコン膜上で配線

材料とのコンタクトをとることにより達成される。

単結晶シリコンや多結晶シリコンの上に非晶質シリコンを被着した後に、500〜600℃程度の温度でエビタキシャル成長させると、非晶質シリコンが単結晶シリコンと接している部分からは単結晶シリコンが成長し、多結晶シリコンと接している部分からは多結晶シリコンが成長する現象がある。この現象を利用して上記構造の半導体装置を実現することができる。すなわち、多結晶シリコンでゲート電極を形成し、ゲート電極の側壁に厚みの制御された絶縁膜を設けた後、ソース及びドレイン領域とゲート電極の表面を露出させ、次いで全面に非晶質シリコン膜を被着した後、熱処理をしてエビタキシャル成長させる。ゲート電極と接する部分からは多結晶シリコンが成長し、ソース及びドレイン領域からは単結晶シリコンが成長する。単結晶シリコンと多結晶シリコンとのエッチング速度の差を利用して、多結晶シリコンのみをドライエッチングにより除去すれば自己整合的にゲート、ドレイン、ソースを分離すること

ができ、上記構造の半導体装置を製造することができる。

〔作用〕

単結晶シリコン膜は、ゲート電極によつて自己整合的にソース領域上の部分とドレイン領域上の部分とに分離されており、また、配線材料とのコンタクトはソース、ドレイン領域からフィールド酸化膜上に延びている単結晶シリコン上でとることができる。従つて、配線の形成に付随して従来必要であつたソース、ドレイン領域の面積拡大が必要でなくなり、最小限の拡散層面積とすることができる。また、単結晶シリコン膜は、ソース、ドレイン領域からのエピタキシャル成長によつて形成されているため、ソース、ドレイン領域と単結晶シリコンとの間には接触抵抗がない。従つて、ソース、ドレイン領域の接合容量、寄生抵抗を低減でき、高速、高性能な回路を得ることができる。また、500～600℃という低温の熱処理でエピタキシャル成長させるため、拡散層の拡散が抑制され、ソース、ドレインの浅接合化がはかれ、

ス、ドレイン領域1、2の面積は拡散層が形成できる最小の面積まで小さくすることができる。本実施例のMOSトランジスタのソース1及びドレイン2の容量は、ソース1及びドレイン2領域とp型基板8の間の接合容量と、フィールド酸化膜9上の単結晶シリコンとpウエルの間の容量の和になる。フィールド酸化膜9は通常数千Åの厚さがあり、接合容量に比べるとこの部分の容量は小さい。したがつて、ソース、ドレイン容量の大部分は接合容量であり、拡散層面積が小さくなれば接合容量も小さくなり、ソース、ドレイン容量が小さくなる。また、多結晶シリコンなどにより同様の電極引出しをした場合と異なり、単結晶シリコンをエピタキシャル成長させているための界面が存在せず、接触抵抗などの寄接抵抗も存在しない。また、ソース、ドレイン領域1、2のn型不純物濃度を単結晶シリコン膜3、4中のn型不純物濃度より低くすることにより、電界を緩和し、ホットキャリアによる劣化を抑制するといゆる二重ドレイン構造とすることも可能である。

短チャンネル効果の小さいMOSトランジスタが得られる。

〔実施例〕

以下、本発明の実施例を図を用いて説明する。

第1図は本発明の第一の実施例におけるnチャンネルMOSトランジスタ及びその製造方法を工程順に示す断面図である。第1図(a)に示すようにソース、ドレイン領域1、2からフィールド酸化膜9上に高濃度にn型の不純物がドーブされた単結晶シリコン膜3、4が延びており、コンタクトは単結晶シリコン膜3、4上でとつている。単結晶シリコン膜3、4の面積は充分大きくとつてあり、コンタクト穴がホトリソグラフィの合わせずれなどのために、ある許容範囲内で位置がずれても単結晶シリコン膜3、4からはみ出さないようにしてある。また、単結晶シリコン膜3、4には高濃度にn型の不純物がドーブされており、充分低抵抗である。従つて、コンタクト穴はソース、ドレイン領域1、2に関係なく、単結晶シリコン膜3、4上にあけることができるため、ソー

第1図(b)～(f)に上記MOSトランジスタの製造方法を示す。

第1図(b)に示すように、まずp型半導体基板8上に選択酸化によつてフィールド酸化膜9を形成し、フィールド酸化膜9で囲まれた領域内に薄いゲート酸化膜5を形成する。次いで、全面に多結晶シリコン膜12を2000Åの厚みで被着し、リン処理などにより多結晶シリコン膜12中にn型の不純物をドーブして充分低抵抗化し、その上にタングステンシリサイド膜を3000Åの厚みで重ねて被着する。つづいて、ホトリソグラフィにより所望形状に加工することでゲート電極6を形成する。さらに、ゲート電極6をマスクとして、低濃度のn型のソース、ドレイン領域1、2をイオン打込みによつて形成する。次に第1図(c)に示すように、全面にCVD法によつて酸化珪素膜を被着した後、異方性のドライエッチング技術でエッチングすることにより、ゲート電極6の側壁に酸化珪素から成るサイドウォール7を設ける。それと同時にソース、ドレイン領域1、

2及びゲート電極6の上面を露出する。次に第1図(d)に示すように、全面に高濃度にn型の不純物をドーブした非晶質シリコン3,4を被着した後に500~600℃で熱処理をすると図中の矢印の方向へエピタキシャル成長し、ゲート電極6上からは多結晶シリコン、ソース、ドレイン領域1,2からは単結晶シリコンが成長する。このとき、500~600℃という低温の熱処理であるため、不純物はほとんど拡散しない。次に第1図(e)に示すように、多結晶シリコンとタンゲステンシリサイドと単結晶シリコンのエツチング速度の差により、ゲート電極6と単結晶シリコン膜3,4はほとんどエツチングすることなく、多結晶シリコンをすべてエツチングしてゲート電極6と単結晶シリコン膜3,4を分離する。つづいて、ホトリソグラフィ技術を用いて単結晶シリコン膜3,4を選択エツチングする。また、単結晶シリコン膜の成長を途中で止め、多結晶シリコンと残った非晶質シリコンを同時にエツチングしてパターンニングすることも可能である。次いで第1

図(f)に示すように、パッシベーション膜11を被着したのち、ホトリソグラフィ技術によりコンタクト穴を形成する。第1図(a)に示すように、さらに配線材料を被着し、ホトリソグラフィ技術により電極配線10を形成することにより、nチャンネルMOSトランジスタの製造工程が終了する。本製造方法によれば、低温の熱処理のみで製造できるため、拡散層の浅接合化がはかれ、特にソース、ドレインの高濃度の領域はほとんどエピタキシャル成長させた単結晶シリコン膜内のみとすることができ、短チャンネル特性が向上する。また、基板内に高濃度の埋込層などを設けている場合にも、低温熱処理であるため濃度プロファイルが変化しないという利点もある。また、必要があれば後工程で熱処理を追加して不純物を拡散させることもできる。

別の製造方法として、被着する非晶質シリコンをノンドーブまたは不純物濃度の低いものとしてエピタキシャル成長後、イオン打込みにより高不純物濃度にするのももちろん可能である。しか

し、不純物を拡散するために高温の熱処理が必要となるため、接合深さが深くなることはまぬがれない。

第2図に本発明の第二の実施例を示す。本実施例は第一の実施例とソース、ドレイン、ゲートの分離方法のみが異なっている。ゲート電極にシリサイドを用いず、多結晶シリコンのみとした場合、ゲート電極上部を露出して非晶質シリコンを被着してエピタキシャル成長をすると多結晶シリコンが成長するが、この多結晶シリコンを選択エツチングするとゲート電極も多結晶シリコンであるため終点検出できず、ゲート電極までエツチングされてしまう。これを防ぐために、本実施例では、第2図(a)に示すように、ゲート電極を形成している多結晶シリコン6の上にCVD法により酸化珪素膜13を被着し、さらにその上に多結晶シリコン膜14を被着している。この酸化珪素膜13は、多結晶シリコンとエツチング速度の違う他の材料でもよい。以下は、第一の実施例と同様に、第2図(b)に示すようにゲート電極6側壁

にサイドウォール7を形成し、第2図(c)に示すように非晶質シリコンを被着してエピタキシャル成長させ、第2図(d)に示すように多結晶シリコンを選択エツチングする。酸化珪素膜13がエツチングのストッパとなり、ゲート電極がエツチングされることはない。

本実施例においては、nチャンネルMOSトランジスタについて説明したが、pチャンネルMOSトランジスタにも適用することが可能であることはいうまでもない。

#### (発明の効果)

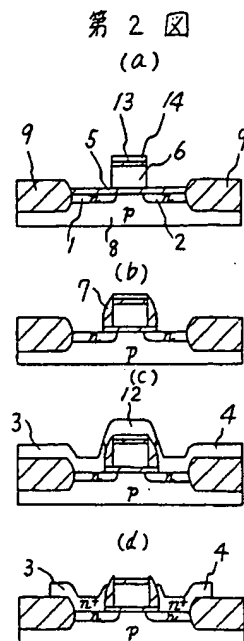
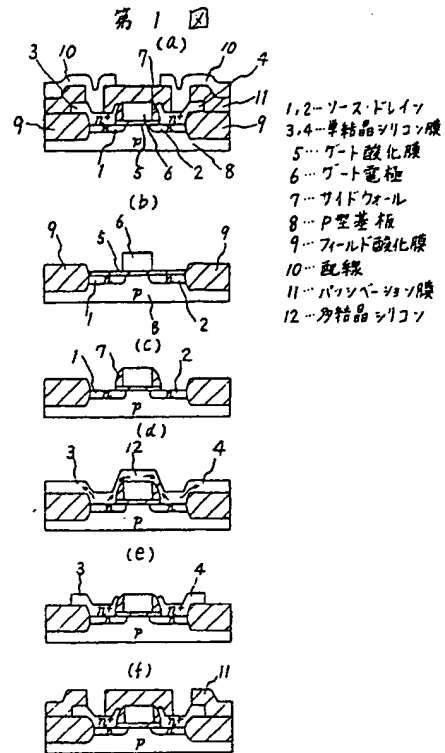
以上述べた様に、本発明によれば、ソース及びドレイン電極は低温でエピタキシャル成長された高不純物濃度の単結晶シリコンで引き出されているため、ソース及びドレインの拡散層面積を小さくでき、ソース及びドレインの不純物濃度を低くでき、ソース及びドレインの接合深さを浅くすることができる。このため、ソース及びドレインの容量及び寄生抵抗を小さくでき、短チャンネル特性のよいMOSトランジスタを得ることができる。

4. 図面の簡単な説明

第1図(a)は本発明の第一の実施例によるMOSトランジスタの断面図、第1図(b)～(f)は本発明第一の実施例によるMOSトランジスタの製造方法を工程順に示す断面図、第2図は本発明第二の実施例によるMOSトランジスタの製造方法を工程順に示す断面図である。

1…ソース、2…ドレイン、3, 4…単結晶シリコン膜、5…ゲート酸化膜、6…ゲート電極、7…サイドウォール、8…p型基板、9…フィールド酸化膜、10…酸線、11…パッシベーション膜、12…多結晶シリコン膜、13…酸化膜、14…多結晶シリコン。

代理人 弁理士 小川勝男



第 1 頁の続き

⑦発 明 者    長   野            隆   洋    茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
究所内